

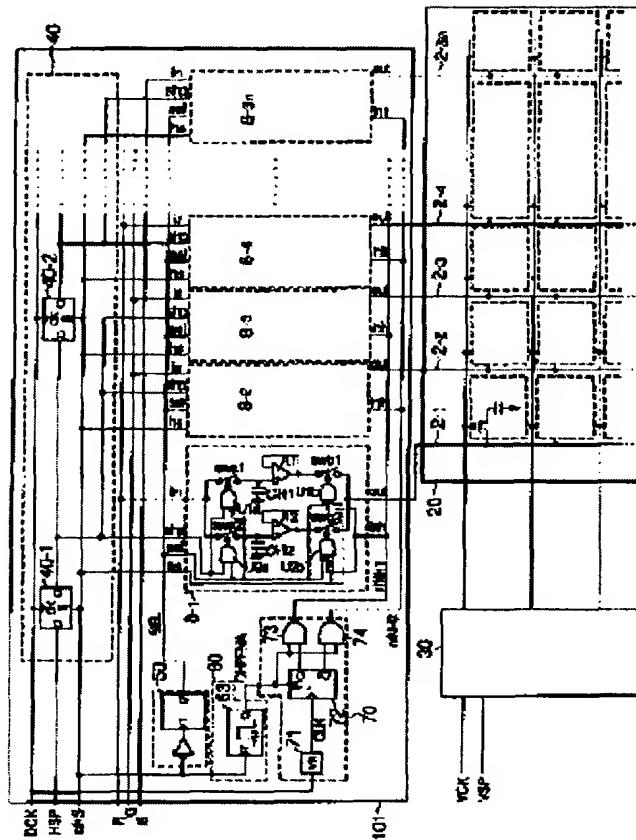
LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP2001290469
Publication date: 2001-10-19
Inventor: YOSHIKAWA FUMITAKE
Applicant: NIPPON ELECTRIC CO
Classification:
- international: G02F1/133; G09G3/20; G09G3/36;
G02F1/13; G09G3/20; G09G3/36; (IPC1-7):
G09G3/36; G02F1/133; G09G3/20
- european:
Application number: JP20000104578 20000406
Priority number(s): JP20000104578 20000406

[Report a data error here](#)

Abstract of JP2001290469

PROBLEM TO BE SOLVED: To realize a data line driving circuit capable of suppressing display unevenness or the like from being generated and also relieving the concentration of currents. **SOLUTION:** In a data line driving circuit having sample-and-hold(S/H) circuit group performing the data writing to plural drain lines, that is, data lines of a TFT liquid crystal display panel, respective S/H circuits have functions inhibiting outputs to the drain lines individually and also functions making the outputting of the S/H circuit group to be operated in the time-division manner for a fixed period from the start of the data writing to the liquid crystal display panel.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-290469

(P2001-290469A)

(43)公開日 平成13年10月19日(2001.10.19)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 L 5 C 0 8 0

審査請求 未請求 請求項の数 7 OL (全 11 頁)

(21)出願番号 特願2000-104578(P2000-104578)

(22)出願日 平成12年4月6日(2000.4.6)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉川 文丈

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 2H093 NA31 NC22 NC23 NC59 ND01

ND17 ND46 ND60

5C006 AA22 AC09 AC21 BB16 BC13

BF11 BF26 FA22

50080 AA10 BB05 CC03 DD05 EE19

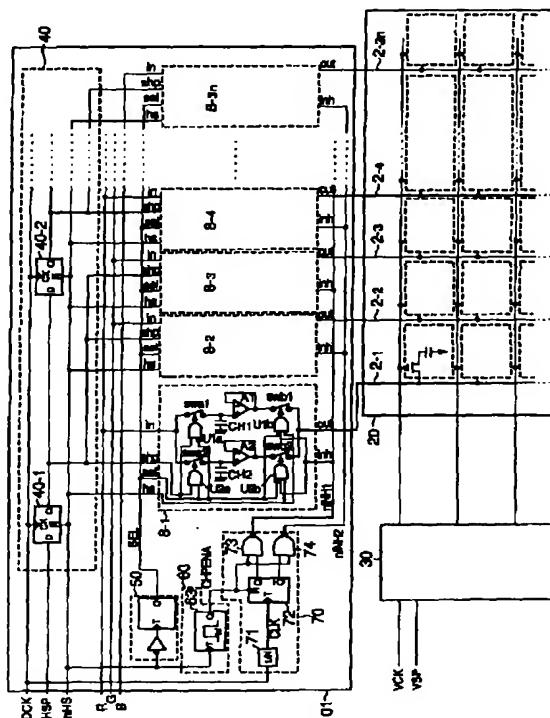
EE29 EE30 FF11 JJ02 JJ04

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 表示むら等の発生を抑制し、かつ電流集中を緩和できるデータライン駆動回路を実現する。

【解決手段】 TFT液晶表示パネルの複数のドレインラインすなわち、データラインへのデータ書き込みを行うサンプルホールド(S/H)回路群を有するデータライン駆動回路において、各S/H回路は個別にドレインラインへの出力を禁止する機能を有するとともに、液晶表示パネルへのデータ書き込み開始から一定期間、S/H回路群の出力を時分割で動作させる機能を有する。



【特許請求の範囲】

【請求項 1】 液晶表示パネルの複数のデータラインへのデータ書き込みを行うデータサンプルホールド回路群を有し、前記サンプルホールド回路群の各々は個別に前記データラインへの出力を禁止する機能を有するデータライン駆動回路を備える液晶表示装置において、前記データライン駆動回路は、前記液晶表示パネルへのデータ書き込み開始から一定期間は、前記液晶表示パネルへの書き込み時の電流集中を緩和するようにサンプルホールド回路の出力を時分割で動作させることを特徴とする液晶表示装置。

【請求項 2】 前記サンプルホールド回路群の各々は、動作タイミングが 1 水平同期周期ずれる関係にある 2 系統のサンプルホールド回路を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記データライン駆動回路は、電源給電側よりもっとも遠いサンプルホールド回路の電源電圧及びグランド電圧を監視し、電源給電側の電源電圧、グランド電圧との差が一定値以上となったとき、前記サンプルホールド回路の出力を時分割動作させることにより液晶表示パネルへの書き込み時の電流集中による電源電圧降下、グランド電位上昇を緩和するように構成されていることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】 前記データライン駆動回路は、液晶表示パネルへの映像信号入力を監視し、電源電圧もしくはグランド電圧との電位差が一定値以下となったときのみ前記サンプルホールド回路の出力を時分割動作させることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 5】 前記データライン駆動回路は、液晶表示パネルへの映像信号入力を監視し、前記サンプルホールド回路がホールドしている映像信号との逆転現象に対するマージンが少ないときのみ前記サンプルホールド回路の出力を時分割動作させて、前記液晶表示パネルへの書き込み時の電流集中による電源電圧降下およびグランド電位上昇を緩和することを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 6】 液晶表示パネルの複数のデータラインへのデータ書き込みを行う 2 系統のデータサンプルホールド回路群を有し、前記 2 系統のサンプルホールド回路の各々は動作タイミングが 1 水平同期周期ずれる関係であるとともに、個別に前記データラインへの出力を禁止する機能を有するデータライン駆動回路を備え、かつ、前記データライン駆動回路は、前記液晶表示パネルへのデータ書き込み開始から一定期間は、前記液晶表示パネルへの書き込み時の電流集中を緩和するようにサンプルホールド回路の出力を時分割で動作させることを特徴とする液晶表示装置。

【請求項 7】 水平同期周期で映像データのサンプリングと、データラインへの書き込みとを交互に行うサンプ

ルホールド回路を 1 データラインあたり 2 系統もつデータライン駆動回路を備え、前記水平同期信号の立ち上がりから一定期間、互いに逆位相の一対のトグル状出力禁止信号を出力する出力禁止信号発生回路と、前記水平同期信号の立ち下がり毎に反転する選択信号を出力する選択信号発生回路とを備えることにより、奇数番目のデータラインに接続された前記サンプルホールド回路の出力を、前記水平同期信号と前記一対のトグル状出力禁止信号の一方の信号にて制御するとともに、偶数番目のデータラインに接続された前記サンプルホールド回路の出力を、前記水平同期信号と前記一対のトグル状出力禁止信号の他方の信号にて制御するものであり、かつ、前記 2 系統のサンプルホールド回路の各々は動作タイミングが 1 水平同期周期ずれる関係であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関し、特に液晶表示パネルのデータライン用の駆動回路に関する。

【0002】

【従来の技術】フルカラーで映像を表示する TFT 液晶表示パネルを駆動する液晶表示パネル駆動回路として、液晶表示パネルのデータライン 1 本あたりに 1 系統のデータサンプルホールド回路を設け、アナログ電圧で映像信号をサンプリング・ホールドする方式でフルカラー表示を行う TFT 液晶表示パネルが広く使用されてきている。

【0003】以下、従来の液晶表示パネルの駆動回路例として、特開平 9-97037 号公報で提案されている駆動回路について、図面を参照して説明する。

【0004】図 9 は同公報に開示の液晶表示パネル駆動装置の構成を示すものであり、TFT タイプの液晶表示パネル 1 とデータライン駆動回路 8 と走査ライン駆動回路 18 とからなる。データライン駆動回路 8 としては、液晶パネル 1 の複数のデータライン 2-1 ~ 2-n について 1 本あたりに 1 系統のデータサンプルホールド回路（以下、S/H 回路と称す）を有し、液晶パネル 1 の複数のデータライン 2-1 ~ 2-n の各 1 本または 2 本以上毎にデータ書き込みタイミングを順次ずらせるとともに、S/H 回路がデータ書き込みの終了を検知してから所定時間経過後に次の新しいデータを S/H 回路でサンプリングさせるものを用いるというものである。これにより、ドレンライン 1 本あたり 1 系統のデータ S/H 回路を持つ駆動回路において、データサンプリングタイミングと連動させてデータ書き込みタイミングをずらすことにより書き込み時の電流を分散化するものである。

【0005】より、詳細に述べるならば、図 9において、2-1 ~ 2-n はデータラインである。3-1 ~ 3

$-m$ は走査ラインである。 $4 - 1 \cdot 1 \sim 4 - m \cdot n$ はそれぞれスイッチング素子である。 $5 - 1 \cdot 1$ から $5 - m \cdot n$ はそれぞれ液晶セルである。 $6 - 1 \cdot 1 \sim 6 - m \cdot n$ はそれぞれ補助容量である。この場合、例えば $4 - 1 \cdot 1$ と $5 - 1 \cdot 1$ と $6 - 1 \cdot 1$ とで液晶表示パネル 1 の 1 つの画素を構成している。

【0006】7 は液晶表示パネル 1 の対向電極ラインであり、 V_{com} 信号が印加される。データライン駆動回路 8 は、液晶表示パネル 1 の複数のデータライン $2 - 1 \sim 2 - n$ について 1 本あたりに 1 系統の S/H 回路を有し、液晶表示パネル 1 の複数のデータライン $2 - 1 \sim 2 - n$ の各 1 本毎または 2 本以上毎にデータ書き込みタイミングを順次ずらせるとともに、S/H 回路がデータ書き込みを終了してから所定時間経過後に次の新しいデータを S/H 回路でサンプリングする。9 はデータサンプリング用クロックラインであり、走査期間を液晶表示パネル 1 の横方向画素数 n で割った周期のパルス CPH が印加される。10 はほぼ水平帰線期間にハイとなるパルス OEH' をデータ入力、パルス CPH をクロックとする $n + 2$ 段のシフトレジスタであり、各段のシフトレジスタ出力よりそれぞれパルス OEH' と同じ幅で 1 CPH 期間だけ位相のずれたパルスが出力される。

【0007】11 はデータライン駆動回路 8 内の映像信号ラインである。12-1 ~ 12-n は映像信号を時系列的にサンプリングするスイッチ群である。13-1 ~ 13-n はサンプリングした映像信号をホールドするコンデンサ群である。14-1 ~ 14-n は液晶表示パネルのデータラインに映像信号データを送り出すオペアンプ群である。15-1 ~ 15-n はオペアンプ群の出力電流源群であり、上記シフトレジスタ 10 の 1 ~ n 段までの出力パルスがそれぞれ出力電流源群 15-1 ~ 15-n に加えられている。16-1 ~ 16-n はアンド回路である。17-1 ~ 17-n+1 はインバータであり、例えばアンド回路 16-1 の出力は出力電流源 15-1 に加えられるパルスの立ち下がりより 1 CPH 期間遅れて立ち上がる 1 CPH 幅のサンプリングパルスとなる。

【0008】データライン駆動回路 8 は、例えばデータライン $2 - 1$ に対しては $16 - 1, 12 - 1, 13 - 1, 14 - 1, 15 - 1$ で 1 サンプルホールド回路を構成しており、特に AND 回路 $16 - 1$ とインバータ $17 - 1$ は論理回路を構成している。シフトレジスタ 10 の第 1 段から第 n 段までの各出力パルスのそれぞれ 1 段後および 2 段後の出力パルスを論理演算して n 個のスイッチ群 $12 - 1 \sim 12 - n$ を制御することによりシフトレジスタ 10 の第 1 段から第 n 段までの各出力パルスのそれぞれ後縁よりクロックパルス 1 個分遅れたタイミングからクロックパルス 2 個分遅れたタイミングまでの期間に n 個のコンデンサにそれぞれサンプルを行わせる。

【0009】走査ライン駆動回路 18 は液晶表示パネル

1 の走査ライン $3 - 1 \sim 3 - m$ を順番に選択していく回路である。19 は走査用のクロックラインであり、1 水平周期（以下、1H と略す）のパルス CPV が印加される。20 は垂直スタートパルス STV と走査用クロックパルス CPV を入力とするシフトレジスタである。21-1 ~ 21-m はシフトレジスタ 20 の出力バッファ群である。

【0010】以上のように構成された従来の駆動回路について、図 10 を用いてその動作を以下に説明する。図 10において、VIDEO は、液晶表示パネル 1 を駆動するためにテレビなどの映像信号 (R・G・B) を復調、振幅調整、およびガンマ補正し、かつ 1H ごとに極性を反転させた信号であり、データライン駆動回路 8 内の映像信号ライン 11 に加えられる。

【0011】OEH' は、ほぼ水平帰線期間にハイとなるパルスであり、CPH はシフトレジスタ 10 のクロックであり、走査期間を液晶表示パネル 1 の横方向画素数 n で割った周期のパルスである。10-1 ~ 10-n は、データライン駆動回路 8 内のオペアンプ群 14-1 ~ 14-n の出力電流源群 15-1 ~ 15-n の動作を制御するパルスであり、このパルス 10-1 ~ 10-n がハイのときにオペアンプ群 14-1 ~ 14-n の各段の出力電流源 15-1 ~ 15-n がオンとなり、液晶表示パネル 1 のデータライン $2 - 1 \sim 2 - n$ に、サンプリングおよびホールドされた映像信号データが送り出される。

【0012】16-1 ~ 16-n はそれぞれデータライン $2 - 1 \sim 2 - n$ に対応した映像信号をサンプリングするための 1 CPH 幅のサンプリングパルスである。 V_{com} は、液晶表示パネル 1 の対向電極ライン 7 に印加される信号であり、VIDEO と同様に、1H ごとに極性反転された信号である。CPV は、走査ライン駆動回路 18 内のシフトレジスタ 20 のクロックパルスであり、クロックパルス CPV の立ち上がりから次の立ち上がりまでの期間、走査ライン $3 - 1 \sim 3 - m$ のうち 1 ラインが選択され、これが順次シフトされていく。

【0013】I はデータライン駆動回路 8 のオペアンプ群に流れる電流波形である。オペアンプ群 14-1 ~ 14-n にはそれぞれパルス 10-1 ~ 10-n がハイとなっている間に電流が流れている。図 10 において、期間 $t_1 \sim t_2, t_2 \sim t_3, t_3 \sim t_4, \dots, t_n \sim t_{n+1}$ に、それぞれ液晶表示パネル 1 のデータライン $2 - 1 \sim 2 - n$ に対応した映像信号データがサンプリングされ、映像信号ホールド用のコンデンサ群 13-1 ~ 13-n にサンプリングされた映像信号データがホールドされる。

【0014】次に、期間 $t_1' \sim t_1'', t_2' \sim t_2'', t_2' \sim t_2'' \dots, t_n' \sim t_n''$ (図示せず) に、それぞれデータライン駆動回路 8 内のシフトレジスタ 10 の出力パルス 10-1 ~ 10-n がハイとなるので、オペアン

群 14-1～14-n が順次アクティブ状態となり、液晶表示パネル 1 のデータライン 2-1～2-n にデータが書き込まれ、走査ライン駆動回路 18 によって選択された走査ライン 3-1～3-m に接続されたスイッチング素子 4-1・1～4-1・n, 4-2・1～4-2・n, 4-3・1～4-3・n～4-m・n を介して液晶表示パネル 1 の横 1 行の画素に順次映像信号データが加えられる。

【0015】以下同様に、データサンプリングとデータ書き込みとを繰り返して、液晶表示パネル 1 のすべての行の画素に映像信号データが加えられ、液晶表示パネル 1 上に映像が表示されることとなる。また、S/H 回路各段のサンプリング動作は、データ書き込みの終了後 1 CPH 幅の期間を置いてから始まる構成となっている。

【0016】図 10 に示されるように、データライン駆動回路 8 のオペアンプ群 14-1～14-n に流れ込む電流波形は時間的に分散・平均化されるため、電流の尖頭値が小さくなっている。このような構成により、液晶表示パネル 1 の各データライン 2-1～2-n への映像信号の書き込みがタイミング的に順次ずれしていくことになり、データライン駆動回路 8 内のオペアンプ群 14-1～14-n 等の出力駆動素子群に流れ込む電流を時間的に分散させることができるために、データライン駆動回路 8 の電源ラインおよびアースラインのインピーダンスの影響を軽減させることができるというものである。

【0017】

【発明が解決しようとする課題】この従来例では、書き込み期間をデータライン毎（もしくは複数ライン毎）に順次ずらすことによって電流分散を実現しており、その結果 TFT ゲート ON とデータライン用ドライバの画素への書き込みのタイミングが画面の左右で大きく異なる（書き込み終了からゲートが閉じるまでの時間が異なる）ため、リークなどにより表示むら等が発生する恐れがある。

【0018】本発明は、以上の問題を解決する電流集中を緩和したデータライン駆動回路を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明によれば、液晶表示パネルの複数のデータラインすなわち、ドレンラインへのデータ書き込みを行う S/H 回路群を有するドレンライン駆動回路において、各 S/H 回路は個別にドレンラインへの出力を禁止する機能を有するとともに、液晶表示パネルへのデータ書き込み開始から一定期間、S/H 回路群の出力を時分割で動作させる機能を有することを特徴とする液晶表示装置が得られる。

【0020】また、電源供給側よりもっとも遠い S/H 回路の電源電圧及びグランド電圧を監視し、電源電圧降下もしくはグランド電位上昇検出時、S/H 回路群の出力を時分割動作させる機能をもつことを特徴とする。

【0021】さらに、映像信号を監視し、映像信号 S/H 電圧と電源電圧もしくはグランド電圧とのマージンが少ないと判断されたとき、液晶表示パネルへのデータ書き込み開始から一定期間、S/H 回路群の出力を時分割で動作させる機能を有することを特徴とする。

【0022】とくに本発明によれば、水平同期周期で映像データのサンプリングと、データラインへの書き込みとを交互に行うサンプルホールド回路を 1 データラインあたり 2 系統もつデータライン駆動回路を備え、前記水平同期信号の立ち上がりから一定期間、互いに逆位相の一対のトグル状出力禁止信号を出力する出力禁止信号発生回路と、前記水平同期信号の立ち下がり毎に反転する選択信号を出力する選択信号発生回路とを備えることにより、奇数番目のデータラインに接続された前記サンプルホールド回路の出力を、前記水平同期信号と前記一対のトグル状出力禁止信号の一方の信号にて制御とともに、偶数番目のデータラインに接続された前記サンプルホールド回路の出力を、前記水平同期信号と前記一対のトグル状出力禁止信号の他方の信号にて制御するものであり、かつ、前記 2 系統のサンプルホールド回路の各々は動作タイミングが 1 水平同期周期ずれる関係であることを特徴とする液晶表示装置が得られる。

【0023】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0024】第 1 の実施の形態は、液晶表示パネルへの書き込み開始時に交互書き込み動作を常に行うことにより、書き込み開始時の電流集中を緩和するものである。第 1 の実施の形態について図 1 を参照して説明する。

【0025】水平同期周期で映像データのサンプリングと、データライン（以下、ドレンラインと称す）への書き込みとを交互に行う S/H 回路を 1 ドレンラインあたり 2 系統もつドレンライン駆動回路 101 は、シフトレジスタ回路 40 と、選択信号発生回路 50 と、書き込みを禁止する禁止期間制御回路 60 と、出力禁止信号発生回路 70 を備える。

【0026】シフトレジスタ回路 40 は複数のフリップフロップ回路 40-1, 40-2, ..., を備え、ドットクロック {DCK}、水平スタートパルス {HSP} および水平同期信号 {nHS} が入力されている。選択信号発生回路 50 は、水平同期信号 {nHS} の立ち下がり毎に反転する選択信号 {SEL} を出力する。

【0027】禁止期間制御回路 60 は、水平同期信号 {nHS} の立ち上がりから (t d) の一定期間ハイ（以下 “H” と表記する）を出力するワンショットタイマ 61 を備える。禁止信号発生回路 70 は、このワンショットタイマ 61 の出力がロー（以下 “L” と表記する）の期間中リセットされドットクロック {DCK} を分周器 71 により N 分周したクロック信号 {CLK} によりトグル動作する T-フリップフロップ 72 と、その

出力を入力とするANDゲート73, 74により上記一定期間、互いに逆位相の関係にある一対のトグル状出力禁止信号{n INH1, n INH2}を出力する。

【0028】さらに、水平同期信号{n HS}の他に上記出力禁止信号発生回路70の2つ出力{n INH1, n INH2}のどちらか一方を入力とするANDゲートU1b・U2bの出力にて制御される、アンプA1・A2の出力スイッチswb1・swb2を有する、S/H回路8-1～8-3nから構成される。

【0029】次に、本発明の第1の実施の形態の動作について図2を参照して説明する。まず、水平同期信号{n HS}の立ち上がりでワンショットタイマ61の出力{CHPENA}が一定期間”H”となる。この期間tdは、後述する参考例として説明するように、本発明が適用されない場合、すなわち、通常の書き込み状態では、電源ライン、グランドラインに集中的に電流が流れる期間(図8の最下段参照)を目安に決められる。その期間はコントラスト等を考慮して、ほぼブランкиング期間に相当すると考えて良い。具体例としては、6μsec程度であり、これは、通常の1Hの1/10程度である。

【0030】その結果、Tーフリップフロップ72のリセットが解除され、ドットクロック{DCK}をN分周したクロック信号{CLK}を2分周した信号およびその反転信号が出力される。さらに、NANDゲート73, 74により水平同期信号{n HS}の立ち上がりから上記一定期間、交互に”L”となるトグル状の一対の出力禁止信号{n INH1, n INH2}が生成される。

【0031】S/H回路8の動作を、8-1の右半分に図示した回路を代表としS/H系統1(U1a, swa1, CH1, A1, U1b, swb1)を例に説明する。まず、選択信号{SEL}が”L”的期間中、ホールドコンデンサCH1には、シフトレジスタ回路40によりタイミングが決定されるサンプリングパルスshpにより、各ドレンインラインに書き込むための映像信号データがホールドされる。

【0032】次に、選択信号{SEL}が”H”的期間中、水平同期信号{n HS}が”H”かつ禁止信号{n INH1, n INH2}のどちらか一方(図1では奇数番目のS/H回路ではn INH1, 偶数番目のS/H回路ではn INH2)と接続されているin入力が”H”的間、swb1がON状態となりアンプA1を介してホールドコンデンサCH1にホールドされた映像信号データが液晶表示パネル2のドレンインライン2-1に出力(out)される。尚、S/H系統2(U2a, swa2, CH2, A2, U1b, swb2)は、動作タイミングが1水平同期周期ずれる以外は同じ動作である。

【0033】ここで、本例においては、2つの禁止信号がS/H回路に交互(n INH1→8-1, 8-

3, ..., 8-(3n-1), n INH2→8-2, 8-4, ..., 8-3n)に接続されており、その結果、水平同期信号{n HS}の立ち上がり直後から一定期間、S/H回路の書き込み動作が禁止信号{n INH1, n INH2}との接続に従い交互に行われることになり、ドレンインライン駆動回路101の電源ライン及びグランドラインに流れる電流のピークは、各々全S/H回路が一斉に動作した場合の半分に抑えられ、電源電圧降下及びグランド電位の上昇を低減することができる。

【0034】なお、液晶表示パネル20および走査ライン駆動回路30については、図9の従来例の液晶表示パネル1および走査ライン駆動回路18に対応するものであり、実質的な相違点はないので、ここでは説明を省略する。

【0035】次に、本発明の第2の実施の形態につき、図3を参照して説明する。本実施の形態は、一斉書き込みを行い、駆動回路の内部電源電圧降下(もしくはグランド電圧の上昇)を検出した時に交互書き込み動作を行うものである。第1の実施の形態と同様に、書き込み出力制御回路は、S/H回路の電源ライン90の給電部と給電部からもっとも遠い点との電位差、及び、S/H回路のグランドライン100の給電部と給電部からもっとも遠い点との電位差を検出する検出器62及び63と、検出器62・63の出力と基準電位Vrefを比較する比較器64と、比較器64の出力の立ち下がりから図示の(td)の一定期間”H”を保持するオフディレイ回路65からなる制御回路602と、この制御回路602の出力が”L”的期間中リセットされドットクロック{DCK}を分周器71によりN分周したクロック信号{CLK}によりトグル動作するTーフリップフロップ72と、その出力を入力とするANDゲート73, 74により禁止信号{n INH1, n INH2}を出力する、禁止信号発生回路70と、第1の実施の形態と同様のS/H回路8-1～8-3nから構成される。

【0036】この第2の実施の形態の動作を図4を参照して以下に説明する。図4は、電源側の電圧降下検出時の動作例を示すものであり、液晶表示パネルへの書き込み開始時、各S/H回路からドレンインラインに一斉にデータ出力(画素及び寄生容量への充放電)が行われる。

【0037】この電流は、ドレンインライン駆動回路の電源ライン及びグランドラインを流れその配線抵抗によりS/H回路の電源電圧降下及びグランドライン電位の上昇を招くことになる。

【0038】ここで、電源ライン90の両端は、検出器62の入力に接続されており検出器62は入力の差電圧即ち電源ライン90の給電部から終端部の間の電位降下量を出力する。

【0039】又、グランドライン100の両端は検出器63の入力に接続されており同様にグランドライン100の給電部から終端部の間の電位上昇量を出力する。

【0040】検出器62、63の出力及び基準電圧源Vrefは比較器64の入力に接続されており、比較器64は、検出器62、63の少なくともどちらか一方の出力電圧が基準電圧源Vrefより大きい時“H”となる電圧異常検出信号{WAR}を出力する。

【0041】電圧異常検出信号{WAR}は、オフディレイ回路65により一定時間以上の幅の“H”信号に整形された制御信号{CHPENA}として出力される。制御信号{CHPENA}の“H”により、Tーフリップフロップ72のリセットが解除され、ドットクロック{DCK}をN分周したクロック信号{CLK}を2分周した信号およびその反転信号が出力され、NANDゲート73、74により電圧異常検出から一定期間、交互に“L”となる禁止信号{nINH1, nINH2}が生成される。

【0042】S/H回路8の動作は第1の実施の形態と同じであり、その結果、液晶表示パネルへのデータ書き込み時の出力電流により一定値以上の内部電源電圧の低下（もしくはグランド電位の上昇）が発生した瞬間及びその後一定期間、S/H回路の書き込み動作が禁止信号{nINH1, nINH2}との接続に従い交互に行われることになり、ドレインライン駆動回路101の電源ライン90及びグランドライン100に流れる電流のピークは、各々全S/H回路が一齊に動作した場合の半分に抑えられ、電源電圧低下、グランド電位の上昇を低減することができる。

【0043】次に、本発明の第3の実施の形態を図5を参照して、説明する。第1の実施の形態では、液晶への書き込み開始時に常に交互書き込み動作を行うのに対し、第3の実施の形態においては、通常は一齊書き込みを行い、映像信号と電源電圧・グランド電圧の電位差が小さく両者の逆転関係が起きやすい場合のみ書き込み開始時交互書き込み動作を行うものである。

【0044】図5に示すように、書き込み出力制御回路は、映像信号電圧の監視・判定を行う制御回路603とS/H回路の書き込み抑制信号を生成する禁止信号発生回路70とS/H回路8-1～8-3nで構成される。

【0045】制御回路603は、映像信号サンプリング開始パルス{HSPi}をセット、サンプリング終了パルス{HSPo}の立ち下がりエッジでクリアされるフリップフロップ66の出力と、映像信号R·G·Bをデータ入力とし、フリップフロップ66の出力を映像信号監視期間入力、垂直同期信号{nVS}をホールドデータリセット入力とするピークホールド回路67と、ピークホールド回路67のMAX値出力·MIN値出力を基準電圧VH·VLと比較する比較器68·69と比較器68·69の出力を入力とするORゲート610と、水平同期信号{nHS}の立ち上がりから一定期間“H”を出力するワンショットタイマ61と、ワンショットタイマ61の出力とORゲート610の出力を入力とす

るANDゲート611とから構成される。

【0046】図6を参照して、本提案の第3の実施の形態の動作を説明する。図6は、映像信号(R·G·B)が、矢印NZで示す時点で外部ノイズ等により通常より高い電圧の映像信号が入力された時の例を示すものであり、RSフリップフロップ66は、サンプリング開始パルス{HSPi}でセットされサンプリング終了パルス{HSPo}でクリアされる監視期間信号{MON}を出力する。

【0047】映像信号ピークホールド回路67は、監視期間信号{MON}が“H”の間、映像信号(R·G·B)の電圧を監視し、その最大値をMAX出力に、最小値をMIN出力にホールドする。尚、各ホールドデータは垂直同期信号{nVS}時にMAX出力はグランド電位に、MIN出力は電源電位にリセットされる。

【0048】比較器68は基準電圧VHとピークホールド回路67のMAX出力を比較しMAX出力>VHの場合“H”を出力する。

【0049】又、比較器69は基準電圧VLとピークホールド回路67のMIN出力を比較しMIN出力<VLの場合“H”を出力する。

【0050】これらはORゲート610を介しS/H電圧注意信号{WAR}として出力される。更に注意信号{WAR}と、水平同期信号{nHS}の立ち上がりで一定期間(td)“H”となるワンショットタイマ61の出力は、ANDゲート611を介して、禁止信号発生許可信号{CHPENA}として出力される。

【0051】したがって、図6の最下段の矢印TW以降、出力禁止信号発生回路70とS/H回路の動作は、第1の実施の形態と同じである。その結果、ノイズ印加などにより、映像信号電圧と電源電圧もしくは映像信号とグランド電圧が接近し、両電位間のマージンが少ない状態が発生したとき、液晶表示パネルへの書き込み開始から一定期間は、書き込み動作が禁止信号{nINH1, nINH2}との接続に従い交互に行われることになり、ドレインライン駆動回路101の電源ライン及びグランドラインに流れる電流のピークは、各々全S/H回路が一齊に動作した場合の半分に抑えられ、電源電圧低下及びグランド電位の上昇を低減することができる。

【0052】かつ、通常状態すなわち両電位間に十分なマージンがある時は一齊書き込み動作となるため、書き込み時間を長くとる事ができる。

【0053】以上述べたように、本発明によれば、書き込み開始直後からの一定期間、もしくは、内部電源電圧低下・グランド電圧上昇を検出した時、S/H回路の一齊動作を止め交互動作とすることにより、電源・グランド電位とS/H回路にホールドしている映像信号電圧の逆転関係が発生することを抑制し、ドレインライン駆動回路のラッチアップ等を防止することができる。

【0054】なお、上述の例では、S/H回路の奇数番

目と偶数番目を交互に制御したが、本発明はそれに限らず、例えば液晶表示パネルの左半分に対応するS/H回路と右半分に対応するS/H回路とを交互に制御する場合にも適用できる。さらに、上記の説明ではS/H回路を1ドレインラインあたり2系統もつドレインライン駆動回路とした場合について述べたが、本発明は、S/H回路を1ドレインラインあたり1系統の場合にも適用できることは言うまでもない。

【0055】また、水平同期周期で映像データのサンプリング、データのドレインラインへの書き込みを交互に行うS/H回路を1ドレインラインあたり2系統もつドレインライン駆動回路としただけでは、上記本発明の効果は得られない。

【0056】すなわち、各S/H回路は個別にデータラインへの出力を禁止する上記実施の形態で説明した機能を省略した場合を、図7および図8を参照して、以下に参考例として説明しておく。

【0057】ドレインライン駆動回路101の書き込み出力制御回路は、水平同期信号{nHS}の立ち下がり毎に反転する選択信号{SEL}と水平同期信号{nHS}を入力とするANDゲートU1b・U2bにて制御される、アンプA1・A2の出力スイッチswb1・swb2を有するS/H回路8-1～8-3nから構成される。

【0058】S/H回路8の動作を、S/H系統1（構成：U1a, swa1, CH1, A1, U1b, swb1）を例に説明する。選択信号{SEL}が”L”の期間中、まず、ホールドコンデンサCH1には、シフトレジスタ回路40によりタイミングが決定されるサンプリングパルスにより、各ドレインラインに書き込むための映像信号データがホールドされる。

【0059】次に、選択信号{SEL}が”H”の期間中、水平同期信号{nHS}が”H”の間、swb1がON状態となりアンプA1を介してホールドコンデンサCH1にホールドされた映像信号データが液晶表示パネル2のドレインライン2-1～2-3nに出力される。

【0060】尚、S/H系統2は、動作タイミングが1水平同期周期ずれる以外は同じ動作である。

【0061】従って、この参考例では、水平同期信号{nHS}が”H”になるタイミングで、全S/H回路の書き込み動作が一斉に行われることになる。この例では、常にドレインライン駆動回路の全S/H回路が一斉に書き込み動作を行うため、電源ライン・グランドライ

ンに集中的な電流が流れ（図8の最下段を参照）、電源ライン・グランドラインのインピーダンスにより、電源電圧降下・グランド電位上昇が大きくなり、S/Hでホールドしている信号電圧によっては、両者の反転関係によるラッチアップが発生する恐れがある。

【0062】

【発明の効果】このように、本発明の構成によれば、書き込み開始直後からの一定期間、もしくは、内部電源電圧降下・グランド電圧上昇を検出した時、S/H回路の一斉動作を止め交互動作とすることにより、電源・グランド電位とS/H回路にホールドしている映像信号電圧の逆転関係が発生することを抑制し、ドレインライン駆動回路のラッチアップ等を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるデータライン駆動回路を示す回路ブロック図である。

【図2】図1の駆動回路における動作説明用のタイムチャートである。

【図3】本発明の第2の実施の形態によるデータライン駆動回路を示す回路ブロック図である。

【図4】図3の駆動回路における動作説明用のタイムチャートである。

【図5】本発明の第3の実施の形態によるデータライン駆動回路を示す回路ブロック図である。

【図6】図5の駆動回路における動作説明用のタイムチャートである。

【図7】本発明に関する参考例によるデータライン駆動回路を示す回路ブロック図である。

【図8】図7の駆動回路における動作説明用のタイムチャートである。

【図9】従来例によるデータライン駆動回路を示す回路ブロック図である。

【図10】図9の駆動回路における動作説明用のタイムチャートである。

【符号の説明】

101 データライン駆動回路（ドレインライン駆動回路）

20 液晶表示パネル

30 走査ライン駆動回路

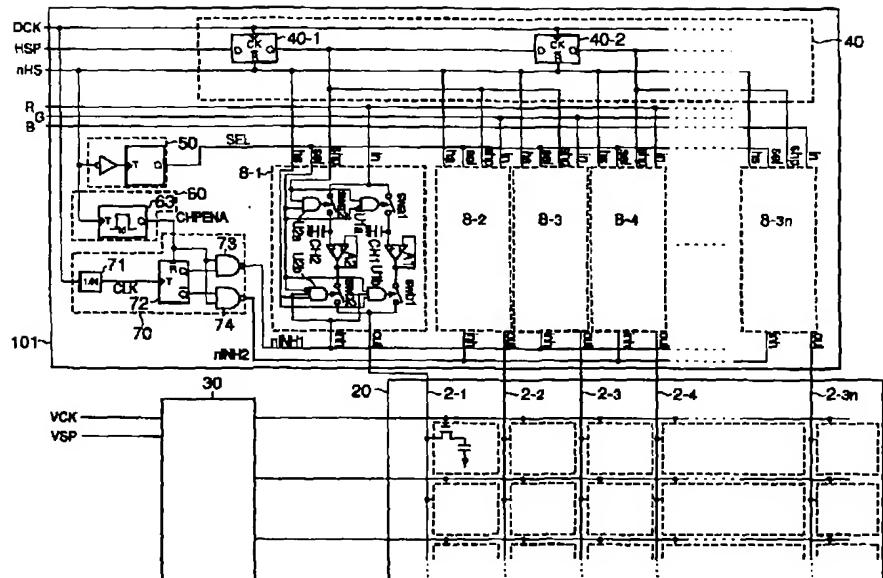
40 シフトレジスタ回路

50 選択信号発生回路

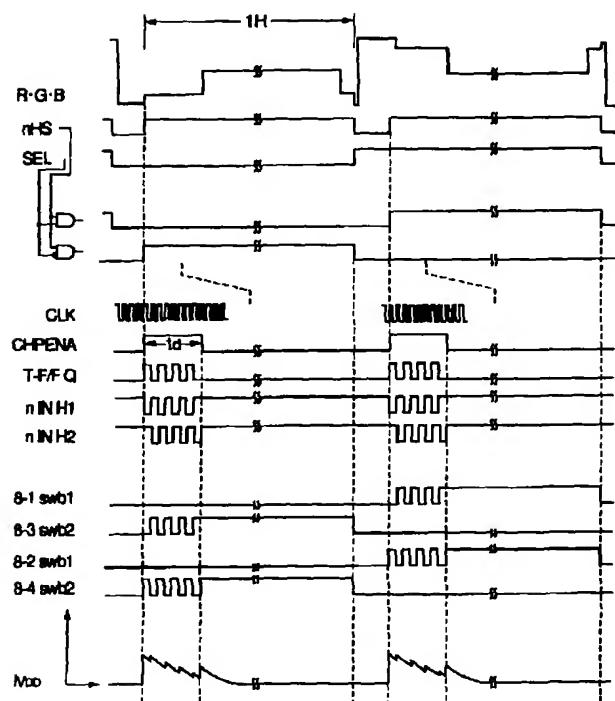
60 禁止期間制御回路

70 出力禁止信号発生回路

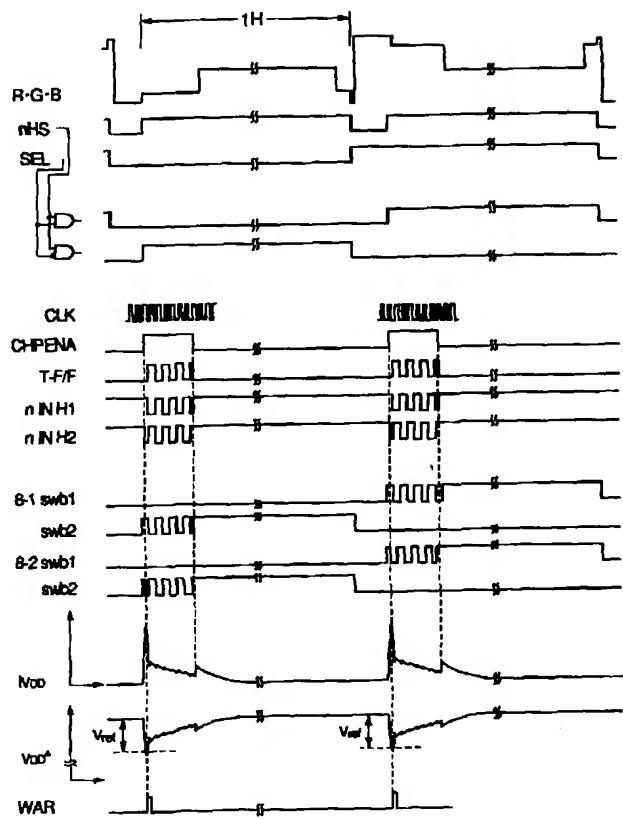
【図 1】



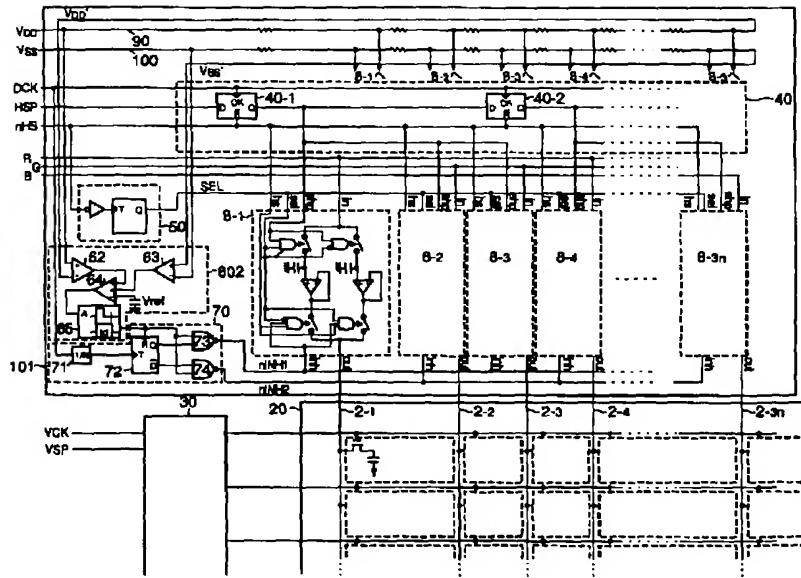
【図 2】



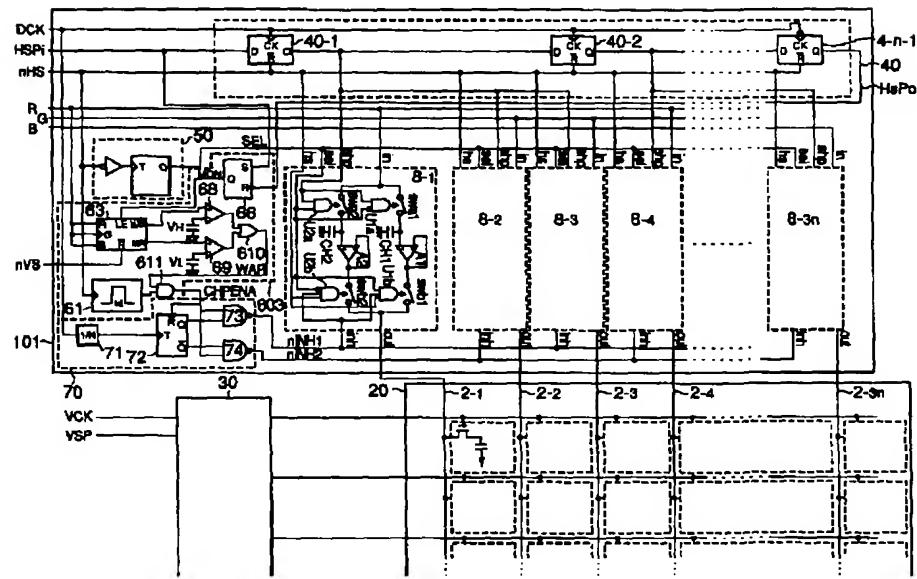
【図 4】



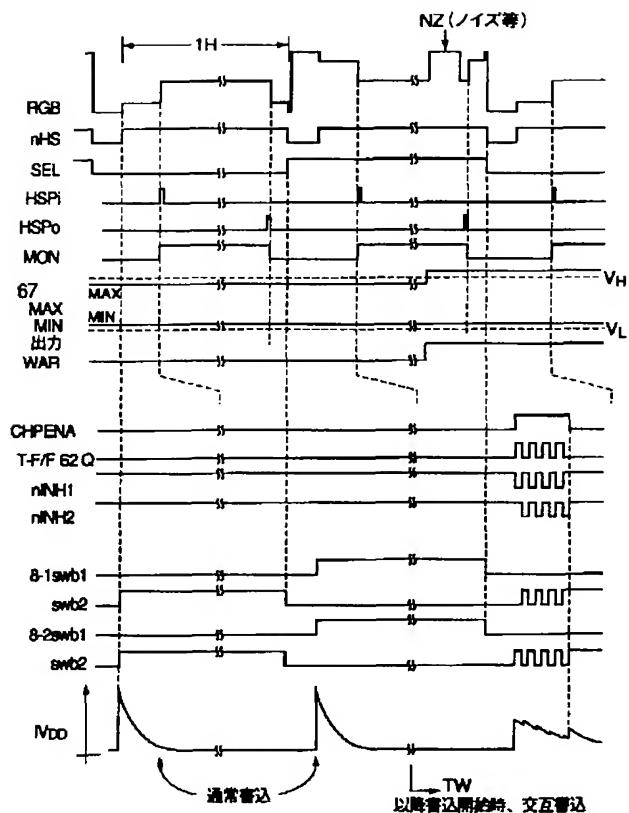
【図3】



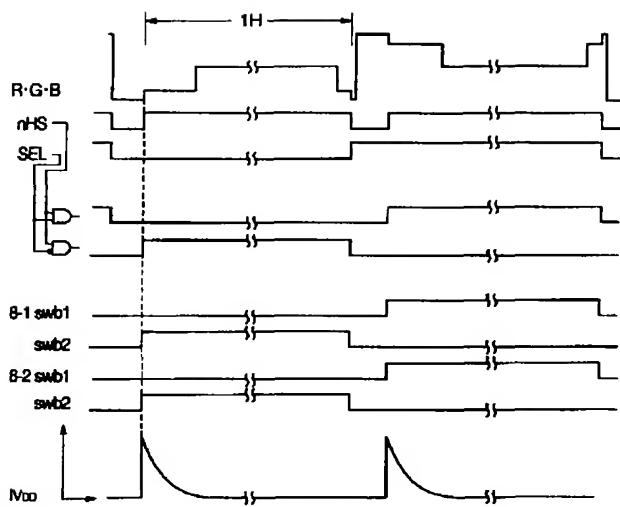
【図5】



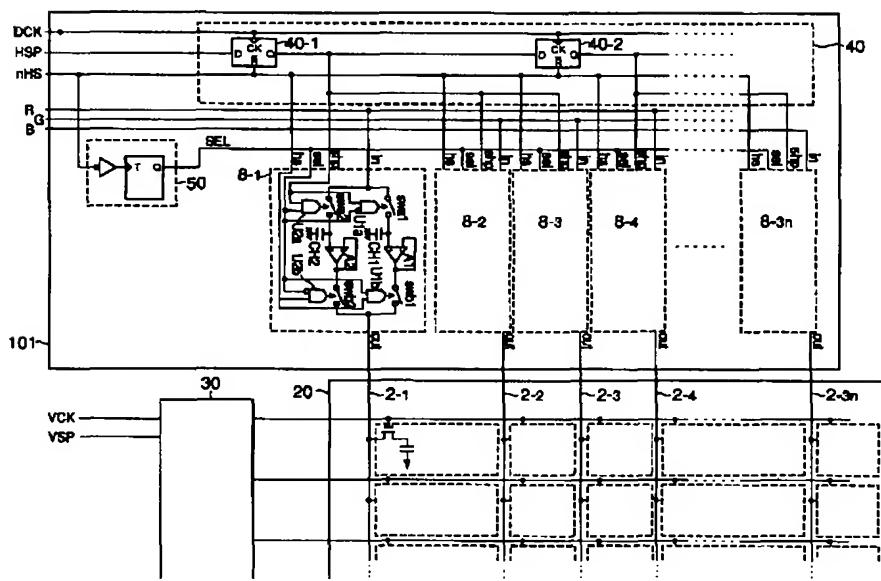
【図 6】



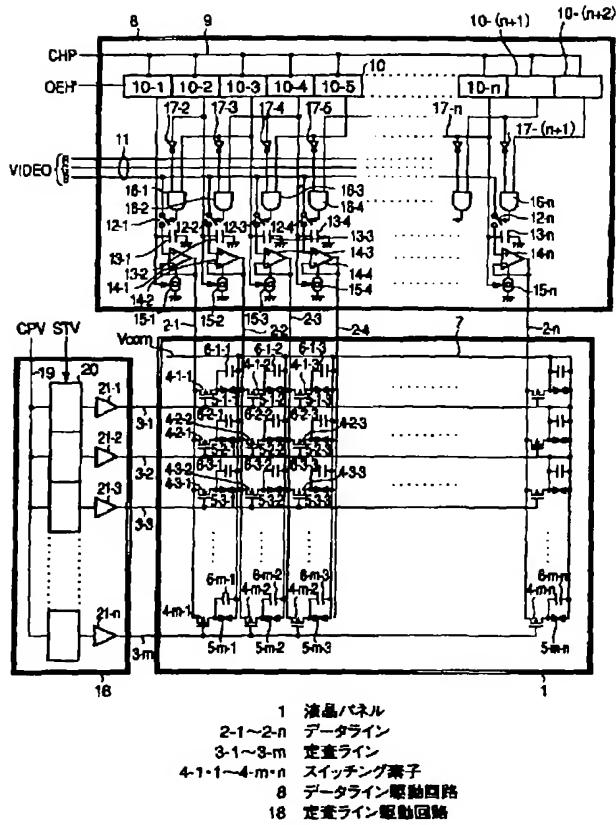
【図 8】



【図 7】



【図9】



【図10】

